

特開平5-224621

(43) 公開日 平成5年(1993)9月3日

(51) Int. Cl. 5  
 G09G 3/18  
 G02F 1/133

識別記号 庁内整理番号 F I  
 7319-5G  
 520 7820-2K

技術表示箇所

審査請求 未請求 請求項の数 10

(全20頁)

(21) 出願番号 特願平4-28475

(22) 出願日 平成4年(1992)2月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 茂 木 宏 之

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72) 発明者 中 城 剛

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 液晶パネル駆動電源用半導体装置

(57) 【要約】

【目的】 液晶パネルの大型化と駆動電圧の高電圧化に伴う液晶パネル駆動部の消費電流を低減する。

【構成】 第1の基準電圧を演算増幅器によりリインピーダンス変換して第2の基準電圧として出力する液晶パネル駆動電源用半導体装置において、液晶表示期間中の任意のある一定の期間においては前記演算増幅器の電流供給能力を高め、前記液晶表示期間中の他の期間においては前記演算増幅器の電流供給能力を低くする、制御手段を有するものとして構成したものとして構成される。

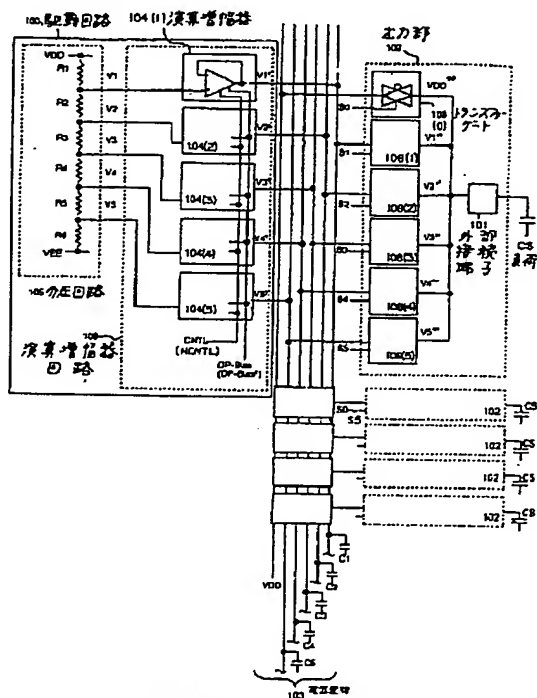


図1 実施例

## 【特許請求の範囲】

【請求項 1】第 1 の基準電圧を演算増幅器によりインピーダンス変換して第 2 の基準電圧として出力する液晶パネル駆動電源用半導体装置において、

液晶表示期間中の任意のある一定の期間においては前記演算増幅器の電流供給能力を高め、前記液晶表示期間中の他の期間においては前記演算増幅器の電流供給能力を低くする、制御手段を有するものとして構成したことを特徴とする液晶パネル駆動電源用半導体装置。

【請求項 2】前記制御手段は、前記演算増幅器に対してその電流駆動能力を決定するバイアス信号を加える基準電源回路を有し、

前記基準電源回路は、制御信号に応じて抵抗値を変化させ、前記抵抗値に応じた前記バイアス信号を出力する、抵抗可変回路を有する、請求項 1 記載の液晶パネル駆動電源用半導体装置。

【請求項 3】前記基準電源回路においては、高圧側電源と低圧側電源との間に第 1 トランジスタ及び前記抵抗可変回路の直列回路が接続されており、前記第 1 トランジスタのゲートがその第 1 トランジスタと前記抵抗可変回路との接続点に接続され、前記接続点は前記バイアス信号の出力端である、請求項 2 記載の液晶パネル駆動電源用半導体装置。

【請求項 4】前記演算増幅器に対してその電流供給能力を決定するバイアス信号を出力する基準電源回路を有し、

前記基準電源回路は、前記演算増幅器内のトランジスタとカレントミラーを構成する第 1 トランジスタを有し、この第 1 トランジスタにはそれに並列に接続、切離し可能な第 2 トランジスタが設けられ、この第 2 トランジスタは制御信号によって前記第 1 トランジスタに接続、切離しされてトランジスタ能力を昇降して前記バイアス信号の大きさを調節するものとして構成されている、請求項 1 記載の液晶パネル駆動電源用半導体装置。

【請求項 5】前記第 1 トランジスタと前記第 2 トランジスタの間には、前記制御信号によってオン／オフして前記第 2 トランジスタを前記第 1 トランジスタに並列に接続、切離しする伝送ゲートが設けられている、請求項 4 記載の液晶パネル駆動電源用半導体装置。

【請求項 6】前記第 1 トランジスタは前記演算増幅器内のトランジスタとカレントミラーを構成しており、前記第 1 トランジスタにはそれに並列に接続、切離し可能な第 2 トランジスタが設けられ、この第 2 トランジスタは外部からの制御信号によって前記第 1 トランジスタに接続、切離しされてトランジスタ能力を昇降して前記バイアス信号の大きさを調節するものとして構成されている、請求項 3 記載の液晶パネル駆動電源用半導体装置。

【請求項 7】前記バイアス信号は平滑用のコンデンサを介して前記演算増幅器に伝えられる、請求項 2～6 のいずれかに記載の液晶パネル駆動電源用半導体装置。

【請求項 8】前記電流供給能力を高める際には制御信号により前記演算増幅器を動作させて前記第 1 基準電圧を前記第 2 基準電圧として出力させ、

前記電流供給能力を低くする際には前記制御信号により前記演算増幅器を停止させ、前記第 1 基準電圧をそのまま出力する、請求項 1 記載の液晶パネル駆動電源用半導体装置。

【請求項 9】前記制御信号は、32.768 KHz の水晶発振器によって作られたものである、請求項 2～8 のいずれかに記載の液晶パネル駆動電源用半導体装置。

【請求項 10】前記制御信号は、同一の半導体基板上に形成されたマイクロプロセッサの CPU から供給される、請求項 2～9 のいずれかに記載の液晶パネル駆動電源用半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の目的】

【0002】

【産業上の利用分野】本発明は半導体集積回路上に構成される回路から高い駆動電流供給能力で液晶パネルを駆動するに当たり低消費電力化を実現するのに用いて好適な液晶駆動用電源装置に関する。

【0003】

【従来の技術】図 23 は従来の液晶駆動用電源装置を示すものである。同図に示すように、液晶パネルのセグメント／コモン容量性負荷 CS に電位を供給するために、駆動回路 100 と、各負荷に対応して設けられた複数の出力部 102 とを有する。駆動回路 100 は、分圧回路 105 と演算増幅器回路 109 とを有する。演算増幅器回路 109 は複数の演算増幅器 104 を有する。分圧回路 105 は、抵抗 R1～R6 により液晶用高電位 VDD と液晶用低電位 VEE との間の電圧を分圧し、電位 V1～V5 を発生する。各電位 V1～V5 は、演算増幅器回路 109 中の複数の演算増幅器 104 に供給されている。演算増幅器 104 は、入力された電位 V1～V5 をそれと同電位の電位 V1'～V5' として電源配線 103 に送り出す。電源配線 103 は液晶用高電位 VDD と電位 V1'～V5' を供給するものである。電位 V1'～V5' が表われる配線 103 には容量 C1～C5 が接続されている。この電源配線 103 には、出力部 102 が接続されている。選択信号 S0～S5 に基づき、トランスファークロップゲート 108 で選択された液晶用高電位 VDD および電位 V1'～V5' のいずれかが液晶用高電位 VDD、出力電圧 V1'、V2'、V3'、V4'、V5' として、外部接続端子 101 を介して、セグメント／コモン容量性負荷 CS に供給される。演算増幅器 104 には、演算増幅器用基準電源回路 106 から、電圧 VN または VP のいずれかが供給されている。

【0004】図 24 は、図 23 における演算増幅器用基準電源回路 106 の具体的な構成例を示す回路図であ

る。同図に示すように、液晶用高電位VDDと液晶用低電位VEEとの間には、P型MOSトランジスタ1と抵抗RAとN型MOSトランジスタ2とが直列に接続されているが、P型MOSトランジスタ1及びN型MOSトランジスタ2はそれぞれ、ドレインとゲートとが接続されている。そして、抵抗RAの両端から電圧VP並びに電圧VNが導出される。

【0005】図25は、図23における演算増幅器104の具体的な構成例を示す回路図であり、特にPトップ型の回路を例示するものである。同図に示すように、電圧VPは、P型MOSトランジスタ30のゲートとP型MOSトランジスタ35のゲートに供給されている。電圧V5は、P型MOSトランジスタ31のゲートに供給される。P型MOSトランジスタ30、35のソースは液晶用高電位VDDに接続される。また、P型MOSトランジスタ30のドレインはP型MOSトランジスタ31、32のソースに接続される。N型MOSトランジスタ33、34、36のソースは液晶用低電位VEEに接続される。N型MOSトランジスタ33、34のゲートは、共通接続され、P型MOSトランジスタ32のドレインとN型MOSトランジスタ34のドレインとの接続点に接続される。P型MOSトランジスタ31とN型MOSトランジスタ33は、ドレイン同士が接続され、その接続点はN型MOSトランジスタ36のゲートに接続される。P型MOSトランジスタ35のドレインとN型MOSトランジスタ36のドレインは互いに接続され、その接続点からは出力電圧V5'が出力される。この出力電圧V5'は、P型MOSトランジスタ32のゲートにフィードバックされる。P型MOSトランジスタ32のゲートとN型MOSトランジスタ36のゲートの間にはこの演算増幅器の発振防止用の為の位相保障用コンデンサCPが接続される。尚このコンデンサはなくともよい。

【0006】図26は、図23における演算増幅器104の他の例を示す回路図であり、特にPトップ型の回路を例示するものである。同図に示すように、電圧VNは、N型MOSトランジスタ70のゲートとN型MOSトランジスタ75のゲートに供給される。電圧V1はN型MOSトランジスタ71のゲートに供給される。N型MOSトランジスタ70、75のソースは液晶用低電位VEEに接続される。N型MOSトランジスタ70のドレインはN型MOSトランジスタ71、72のソースに接続される。P型MOSトランジスタ73、74、76のソースは液晶用高電位VDDに接続される。P型MOSトランジスタ73、74のゲートは、共通接続され、N型MOSトランジスタ72のドレインとP型MOSトランジスタ74のドレインの接続点に接続される。N型MOSトランジスタ71のドレインとP型MOSトランジスタ73のドレインが接続され、その接続点はP型MOSトランジスタ76のゲートに接続される。N型MO

Sトランジスタ75のドレインとP型MOSトランジスタ76のドレインは接続され、その接続点からは出力電圧V1'が出力される。この出力電圧V1'は、N型MOSトランジスタ72のゲートにフィードバックされる。N型MOSトランジスタ72のゲートとP型MOSトランジスタ76のゲートの間にはこの演算増幅器の発振防止用の為の位相保障用としてコンデンサCNが接続される。

【0007】演算増幅器104として、図25の回路を用いるか、図26の回路を用いるかは、入力される電位V1、V2、V3、V4、V5と増幅器の特性による。そして、演算増幅器回路109中には、演算増幅器104として図25のものおよび図26のものが混載される。

【0008】以上述べたような構成において、駆動回路100中の分圧回路105では、液晶用高電位VDDと液晶用低電位VEEとの間に、直列に抵抗R1~R6の抵抗を設け、液晶用高電位VDDと液晶用低電位VEEの間を抵抗分割することにより電位V1~V5を得ている。これらの電圧V1~V5のそれぞれは各演算増幅器104に入力される。各演算増幅器104は、図25および図26に示すように、それぞれの出力を一端子にフィードバックするように構成されるボルテージフォロア型として一般に知られている構成を有する。つまり、入力された電位V1~V5を全く同じ電位の電位V1'~V5'のままインピーダンス変換して電源配線103に供給する。電位V1~V5と電位V1'~V5'は、電圧は同じであるが、電流供給能力が異なる。つまり、電位V1~V5の電流供給能力は分圧回路105を構成する抵抗R1~R6の抵抗値によって決定される。これに対し、後者は、電位V1'~V5'の電流供給能力は演算増幅器104の電流供給能力によって決定されるので、より多くの出力電流がとれる。その結果、各演算増幅器104の出力電流を受ける電源配線103および出力部102は、外部のセグメント/コモン容量性負荷CSへの負荷駆動能力が大きくなる。液晶用高電位VDDおよび得られた電位V1'~V5'は、出力部102中において選択信号S0~S5に基づいて選択され、外部接続端子101を通じて、セグメント/コモン容量性負荷CSに供給される。これにより、負荷CSは充放電して、所定の電圧となる。

【0009】図27は図23の構成の動作を説明するためのタイミングチャートである。同図において、(A)は選択信号S1、(B)は選択信号S4、(C)は選択信号S5、(D)は演算増幅器104に流れる演算増幅部電流IOP、(E)は出力部102の外部接続端子101からセグメント/コモン容量性負荷CSに与えられる電圧をそれぞれ示す。

【0010】図27にも示すように、選択信号S1、S4、S5が逐次入力された場合、図23の外部接続端子

101には、各選択信号S1、S4、S5に対応して、電位V1'、V4'、V5'、V1'が順次出力される。この時、外部接続端子101に接続されたセグメント/コモン容量性負荷CSが、これらの電位に充電される。この場合、図23における演算増幅器104には、演算増幅部電流IOPが、一定の大きさを流れている。その結果、負荷であるセグメント/コモン容量性負荷CSが駆動される。

【0011】

【発明が解決しようとする課題】従来の液晶駆動用電源装置は上記のように構成されているので、以下のように消費電力が大きいという難点がある。例えば、図27からわかるように、演算増幅器104(1)からの出力V1'に基づいて、選択信号S1によりトランスファークラーク108(1)を介して、選択外部接続端子101からセグメント/コモン容量性負荷CSに電圧V1'が出力されるとする。次に、選択信号S4により、時間Tf後に、他の演算増幅器104(4)からの出力V4'に基づく出力V4'が出力されるとする。これとほぼ同様に、出力V5'から出力V1'に、時間Tr後に変化するとする。これらの時間Tf、Tr中は演算増幅器電流IOPは負荷を駆動する為に流れ続ける必要があるが逆に、電圧電位V4'等の電圧が変化せず同じ電圧値の出力を出力し続ける間の時間Tsも演算増幅部電流IOPが流れ続ける。これらの必要ない間に流れるこの電流は無視できない程度に大きく、消費電力増大の原因となっている。一方、大型の液晶パネル等の場合は、セグメント/コモン容量性負荷CSの数や容量が増える。このために、時間Tfや時間Trが長くなり、時間TfやTrを短くする必要がある。このためには演算増幅器104に定常的に流れる電流である、演算増幅部電流IOPを、大きくせざるを得ず、更に消費電力を増大させる結果となる。

【0012】一方、分圧回路105の出力である電位V1~V5を電位V1'~V5'に直結し、演算増幅部電流IOPを必要とする演算増幅器104を無くし、電流低減を計る方法も考えられる。つまり、抵抗R1~R6の抵抗値を小さくすることにより、電位V1~V5の出力インピーダンスを低く下げて、セグメント/コモン容量性負荷CSに供給される出力電流を大きくすることもできる。しかし、半導体集積回路の場合は、抵抗R1~R6をあまり小さくすると製造上のばらつきが大きくなり、更に抵抗R1~R6を薄いP型ないしN型拡散抵抗層等で作った場合は、半導体基板による基板変調効果等を受ける。このため、例えば、抵抗R1が期待値通りになっても、抵抗R6は異常に大きな値になってしまったりするという問題がある。つまり、抵抗値の管理を適正に行って、電位V1~V5の精度を適正に維持するのが難しい。これを除くには、抵抗R1~R6の抵抗値を大きくし、製造上のバラツキを抑えればよい。し

かしこのようにすると、駆動能力が小さくなってしまうのは避けられない。このため、抵抗値が大きくなってもしよいのは、電流量と、V1~V5の電位精度とをそれほど必要としない、小型の時計表示用液晶パネルの駆動用の用途以外は現実的な選択とは言えない。このため、大きな負荷容量を持ち、大きな駆動能力を必要とする、大型の液晶パネルにおいては、インピーダンス変換用の演算増幅器104が不可欠である。

【0013】液晶パネル等において、液晶に対する光の透過(点灯)および光の非透過(非点灯)を決める2つの電極であるセグメント/コモンは、この負荷を駆動する半導体回路側から見れば容量成分である。そして、液晶パネルはますます大型化し、それらに使用される液晶電圧や液晶パネルのセグメント/コモン等もパネルの大型化によって増大している。液晶パネルを表示させるのに必要な消費電流は $f \cdot C \cdot V$ (周波数×容量値×電圧)に依存する。このため、液晶パネルの大型化に伴って用いるべき電圧と容量が大きくなるに従ってますます消費電流の増大を招く。

20 【0014】近年、大きな液晶パネルを持ったパーソナルコンピュータやワードプロセッサ等が小型化されブック型となってきている。これにより、どこにでも持ち運べる利便性があるものの、電池寿命が短いという問題がある。つまり、液晶パネルの消費電力の低減に対する要求が大きい。

【0015】この発明の目的は、上記従来技術の問題点を解決しようとするもので、液晶パネルが大型化し且つ駆動電圧が高電圧化しても、液晶パネルによる消費電力を低減することを可能とした液晶駆動用電源装置を提供することにある。

30 【0016】

【発明の構成】

【0017】

【課題を解決するための手段】本発明の第1の液晶パネル駆動電源用半導体装置は、第1の基準電圧を演算増幅器によりインピーダンス変換して第2の基準電圧として出力する液晶パネル駆動電源用半導体装置において、液晶表示期間中の任意のある一定の期間においては前記演算増幅器の電流供給能力を高め、前記液晶表示期間中の他の期間においては前記演算増幅器の電流供給能力を低くする、制御手段を有するものとして構成される。

40 【0018】本発明の第2の液晶パネル駆動電源用半導体装置は、上記第1の装置において、前記制御手段は、前記演算増幅器に対してその電流駆動能力を決定するバイアス信号を加える基準電源回路を有し、前記基準電源回路は、制御信号に応じて抵抗値を変化させ、前記抵抗値に応じた前記バイアス信号を出力する、抵抗可変回路を有するものとして構成される。

50 【0019】本発明の第3の液晶パネル駆動電源用半導体装置は、上記第2の装置において、前記基準電源回路

においては、高圧側電源と低圧側電源との間に第1トランジスタ及び前記抵抗可変回路の直列回路が接続されており、前記第1トランジスタのゲートがその第1トランジスタと前記抵抗可変回路との接続点に接続され、前記接続点は前記バイアス信号の出力端であるものとして構成される。

【0020】本発明の第4の液晶パネル駆動電源用半導体装置は、上記第1の装置において、前記演算増幅器に対してその電流供給能力を決定するバイアス信号を出力する基準電源回路を有し、前記基準電源回路は、前記演算増幅器内のトランジスタとカレントミラーを構成する第1トランジスタを有し、この第1トランジスタにはそれに並列に接続、切離し可能な第2トランジスタが設けられ、この第2トランジスタは制御信号によって前記第1トランジスタに接続、切離しされてトランジスタ能力を昇降して前記バイアス信号の大きさを調節するものとして構成されているものとして構成される。

【0021】本発明の第5の液晶パネル駆動電源用半導体装置は、上記第4の装置において、前記第1トランジスタと前記第2トランジスタの間には、前記制御信号によってオン/オフして前記第2トランジスタを前記第1トランジスタに並列に接続、切離しする伝送ゲートが設けられているものとして構成される。

【0022】本発明の第6の液晶パネル駆動電源用半導体装置は、上記第3の装置において、前記第1トランジスタは前記演算増幅器内のトランジスタとカレントミラーを構成しており、前記第1トランジスタにはそれに並列に接続、切離し可能な第2トランジスタが設けられ、この第2トランジスタは外部からの制御信号によって前記第1トランジスタに接続、切離しされてトランジスタ能力を昇降して前記バイアス信号の大きさを調節するものとして構成されているものとして構成される。

【0023】本発明の第7の液晶パネル駆動電源用半導体装置は、上記第2～6の1つの装置において、前記バイアス信号は平滑用のコンデンサを介して前記演算増幅器に伝えられるものとして構成される。

【0024】本発明の第8の液晶パネル駆動電源用半導体装置は、上記第1の装置において、前記電流供給能力を高める際には制御信号により前記演算増幅器を動作させて前記第1基準電圧を前記第2基準電圧として出力させ、前記電流供給能力を低くする際には前記制御信号により前記演算増幅器を停止させ、前記第1基準電圧をそのまま出力するものとして構成される。

【0025】本発明の第9の液晶パネル駆動電源用半導体装置は、上記第2～8の1つの装置において、前記制御信号は、32.768KHzの水素発振器によって作られたものであるものとして構成される。

【0026】本発明の第10の液晶パネル駆動電源用半導体装置は、上記第2～9の1つの装置において、前記制御信号は、同一の半導体基板上に形成されたマイクロ

プロセッサのCPUから供給されるものとして構成される。

【0027】

【作用】演算増幅器により、第1の基準電圧はインピーダンス変換して第2の基準電圧として出力され、液晶パネルに加えられる。而して、液晶表示期間中のある一定の期間中においては、演算増幅器の電位供給能力は高い状態とされる。液晶表示期間中のその期間中においては、演算増幅器の電流供給能力は低い状態とされる。これにより消費電流が低減される。

【0028】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0029】図1は本発明の第1実施例に係る液晶駆動用電源装置の回路図を示すものである。図1に示すように、演算増幅器回路109中の複数の演算増幅器104には演算増幅器バイアスOP-Bias（またはバイアスOP-Bias'）及びコントロール信号CNTLが供給されるコントロール信号CNTLにより駆動能力が切り替えられる。演算増幅器バイアスOP-BiasとOP-Bias'は、液晶用高電位VDDと液晶用低電位VEEの間の任意のある一定な電位をとり、両者は必ずしも等しい必要はない。

【0030】図1において、分圧回路105は、セグメント/コモン容量性負荷CS等に出力する基準となる電位V1～V5を作り出すための回路である。この回路105では、液晶パネルにおいて使用されている液晶用高電位VDDと液晶用低電位VEEの間を抵抗R1～R6で分割して、電位V1～V5を作り出している。これらの電位V1～V5の精度を良くするために、これらの抵抗R1～R6は、半導体におけるポリシリコンや、濃度の薄いP型により、P型の拡散抵抗として高い抵抗値を持つように設計される。抵抗R1～R6の抵抗値を高くしたので、液晶用高電位VDDと液晶用低電位VEEの間に流れる電流を抑制でき、且つ電位V1～V5の取り出し端の精度を高めることができ、更に半導体の製造におけるばらつきを抑えることができると共に、半導体基板の製造過程で基板から変調を受けて抵抗値が変化する。抵抗の長さを調整することにより小さく抑えることができる。

【0031】分圧回路105で作られた電位V1～V5は、ボルテージフォロワー型と呼ばれる演算増幅器104に入力電圧として与えられる。これにより、電位V1～V5は、電圧を変えずにインピーダンス変換して電位V1'～V5'として取り出される。つまり、電位V1～V5が分圧回路105の抵抗R1～R6に対応する出力インピーダンスを持つものに対して、演算増幅器104からの出力電位V1'～V5'はインピーダンスが小さく、大きな駆動能力を有するものとなる。この駆動電流は、演算増幅器104が形成された半導体集積回路内の

電源から、電源配線103に供給される。出力部102は、選択信号S0~S5により制御されるトランスファークラップ108をする。各トランスファークラップ108は、電源配線103が有する液晶用高電位VDDおよび電位V1'~V5'の中から自己に対応する電圧を出力する。トランスファークラップ108の出力V1'~V5'の1つが、外部接続端子101を介して、液晶パネルのセグメント/コモン容量性負荷CSに供給する。

【0032】出力部102は、液晶用高電位VDDと電位V1'~V5'のうちの1つが選択信号S0~S5により選択される構成を示している。この選択信号S0~S5としては、出力部102がセグメント出力部の場合には液晶パネルの表示データ信号をからませたものを用いることもできる。また、セグメント出力部の場合、出力部102としては、トランスファークラップ108

(1)、108(4)のないものとすることもできる。また、コモン専用出力部の場合には、108(2)、108(3)のないものとする等もできる。

【0033】図2は図1における演算増幅器104の一例を示す回路図である。図2が図25と異なる点は、トランジスタ37、38を有することにある。即ち、液晶用高電位VDDと出力電圧V5'の出力端子との間に、P型MOSトランジスタ37、38を直列に接続し、P型MOSトランジスタ37のゲートに演算増幅器バイアスOP-Biasを接続し、P型MOSトランジスタ38のゲートにコントロール信号CNTLを接続している。

【0034】図2の構成においては、P型MOSトランジスタ30のドレイン側ノード43から分岐する電流IP1とIP2によりP型MOSトランジスタ31と32とが比較動作する。これにより、出力電圧V5'は、その電圧値が電位V5に等しくなるように制御される。P型MOSトランジスタ37、38はコントロール信号CNTLをインバータ99の反転出力NCNTLにより出力電圧V5'の電流駆動能力を変化させる。

【0035】図3は図1における演算増幅器104の他の例を示す。図3が図26と異なる点は、トランジスタ77、78を有することにある。即ち、液晶用低電位VEEと出力電圧V1'の出力端子との間に、N型MOSトランジスタ77、78を直列に接続し、N型MOSトランジスタ77のゲートに演算増幅器バイアスOP-Bias'を加え、N型MOSトランジスタ78のゲートにコントロール信号CNTLを加えるようにしている。

【0036】図3の構成においては、N型MOSトランジスタ70のドレインに流れ込むN型MOSトランジスタ71、72からの電流によりN型MOSトランジスタ71と72とが比較動作する。これにより、出力電圧V1'はその電圧値が電位V1に等しくなるように制御される。N型MOSトランジスタ77、78は、コントロール信号CNTLにより、出力電圧V1'の電流駆動能

力を変化させる。

【0037】以上のように、図2はPトップ型の構成であり、図3はNトップ型の構成である。この両者の使い分けは、演算増幅器104の感度によって行う。入力電圧が低い液晶用低電位VEEに近いものにはPトップ型のもを適用し、液晶用高電位VDD側に近いものにはNトップ型を適用する。つまり、図1の場合は、電位V4、V5を入力とする演算増幅器にはPトップ型のもを使用し、電位V1、V2、V3を入力とする演算増幅器にはNトップ型を使用し、Pトップ型とNトップ型を混載使用している。

【0038】そして、これらの演算増幅器104は、電位V1~V5が入力されるのに伴い増幅および電流供給能力を決定する。つまり、これらの増幅器104は、液晶用高電位VDDと液晶用低電位VEE間の任意の一定の電位としての演算増幅器バイアスOP-BiasまたはOP-Bias'を入力する。入力された電位V1~V5と、増幅器104自らの出力電位である電位V1'~V5'とを比較する。比較した結果を、P型MOSトランジスタ36または76のゲートに入力し、電位V1~V5に等しい電圧の電位V1'~V5'を得るような平衡動作を行う。この状態で常時液晶用高電位VDDから液晶用低電位VEEに電流を流し続ける。

【0039】演算増幅器104に加えられる演算増幅器バイアスOP-Bias、OP-Bias'は、先にも述べたように、液晶用高電位VDDと液晶用低電位VEE間の任意の電圧である。図2の演算増幅器104において、演算増幅器バイアスOP-Biasの電圧をVOPとする。このVOPとして、通常、液晶用高電位VDD側に近く、しかもVDD-VOP>VTHP(ただし、VTHPはP型MOSトランジスタの閾値電圧)を満足し得る電圧が入力される。これにより、P型MOSトランジスタ35、37のゲートには、VGS=VDD-VOPなる浅いゲートバイアスが与えられる。このため、通常の出力電流は、MOS型トランジスタの飽和領域におけるものとして得られる。このため、演算増幅器104の出力電流能力は、P型MOSトランジスタ35、37によって決定される。これと同様に、図3に示される演算増幅器104では、演算増幅器バイアスOP-Bias'は、液晶用低電位VEE側に近い浅い電位とされ、出力電流能力はN型MOSトランジスタ75、77により決定される。

【0040】今、図1の外部接続端子101に接続されるセグメント/コモンの電位を、消費電力を抑えつつ変化させるには、次のようにすればよい。即ち、図2のP型MOSトランジスタ35と37および図3のN型MOSトランジスタ75と77に十分な駆動能力を持たせる。外部接続端子101に所定の出力電位が出力された後に、コントロール信号CNTLにより図2のP型MOSトランジスタ38、図3のN型MOSトランジスタ7

8をオフさせる。これにより、演算増幅器104の駆動能力が制限される。これにより、消費電力は低減される。

【0041】図4は以上の動作を示すタイミングチャートである。図4において、(A)は選択信号S1、(B)は選択信号S4、(C)は選択信号S5、(D)は演算増幅器104に与えられるコントロール信号CNTL、(E)は演算増幅器104に流れる電流の一例である電流IOP、(F)は演算増幅器104に流れる電流の他の例である電流IOP'、(G)は出力部102の外部接続端子101からセグメント/コモン容量性負荷CSに与えられる電圧SEG/COMをそれぞれ示すものである。

【0042】図4からも明らかなように、演算増幅器104においては、コントロール信号CNTLにより、演算増幅部電流IOPはパルス状に変化する。これによりセグメント/コモン容量性負荷CSにはパルス状電流が供給される。つまり、セグメント/コモン容量性負荷CSの電圧が変化する切り替わり目での電流駆動能力は十分に確保でき、且つ電圧が確定した後は演算増幅部電流IOPは低減する。これにより、電流の平均値は大幅に減少することになる。一方、セグメント/コモン容量性負荷CSの出力電圧の切り替わり目での演算増幅器104の駆動能力を更に大きくして図4(F)のように変化させたとする。この場合、電流は演算増幅部電流IOP'となり、セグメント/コモン容量性負荷CSの電圧の変化に要する時間Tfや時間Trが短くなる。これにより、所定の電圧への確定時間が短くて済む。これにより、消費電流を抑制しながら高速動作をおこなわせることができる。

【0043】図5は本発明の第2の実施例に係る液晶駆動用電源装置の回路図である。図5において、演算増幅器用基準電源回路106は演算増幅器回路109を構成する演算増幅器104に電圧VPまたはVNを供給する。この電圧VP、VNはコントロール信号CNTLによりその電圧値を変化させることができるように構成される。その他の構成は、図1のものと同一であり、同一の回路要素には同一の符号を付している。

【0044】図6は図5に用いられる演算増幅器用基準電源回路106の第1の例を示すものである。図6において、抵抗可変回路107においては、制御端子Rに与えられるコントロール信号CNTLに基づいて、ノードN3とN4の間の抵抗値が変化する。演算増幅器用基準電源回路106の出力電圧VPは演算増幅器104に加えられる。このような場合においては、図25に示されるPトップ型の構成が適用される。

【0045】図6において、コントロール信号CNTLがHレベルの場合は、抵抗可変回路107はノードN3とN4の間の抵抗値を小さくする。これにより回路107を流れる電流を増大させる。一方、コントロール信号C

NTLがLレベルの場合は、抵抗可変回路107のノードN3とN4の間の抵抗値は大きくなる。これにより、回路107に流れる電流は低減する。そして、電圧VPおよび電圧VNは、次段の演算増幅器104に、演算増幅器バイアスOP-Bias、OP-Bias'に代えて供給される。

【0046】以上のように、演算増幅器104に与える電圧VP、VNをコントロール信号CNTLにより制御することにより、演算増幅器104の電流供給能力を切り替えることができる。これにより、図4のタイミングチャートに示すようにコントロール信号CNTLのレベルを適時に切り替えるようにすれば、演算増幅器104の電流の平均値を大幅に低減することができる。

【0047】なお、図6では、演算増幅器104として、演算増幅器用基準電源回路106から電圧VP出力の供給を受けるPトップ型を示している。演算増幅器用基準電源回路106の電圧VN出力は、図26に示すようなNトップ型の演算増幅器104に供給される。

【0048】図7は、図6の抵抗可変回路107の第1の例を示す回路図である。図7に示すように、ノードN3とN4の間に抵抗Raと抵抗Rbを直列接続する。コントロール信号CNTLをゲートに受けるN型MOSトランジスタ6を、抵抗Rbに並列に接続する。これにより、コントロール信号CNTLがHレベルの場合はN型MOSトランジスタ6がオンしてノードN3、N4間の抵抗値は小さくなり、コントロール信号CNTLがLレベルの場合はN型MOSトランジスタ6がオフしてノードN3、N4間の抵抗値は大きくなる。

【0049】ここで図7の回路を図6に適用した場合の動作について説明する。演算増幅器用基準電源回路106において、液晶用高電位VDDから液晶用低電位VEEに向かって流れる電流は、P型MOSトランジスタ1から抵抗可変回路107を通りN型MOSトランジスタ2を通じて液晶用低電位VEEに流れる。そして、コントロール信号CNTLがHレベルの場合トランジスタ6がオンする。これにより、電流は、ノードN3から、抵抗Ra、オン状態のN型MOSトランジスタ6を通じてノードN4に至る。ここで、抵抗Ra、Rbがオン状態のトランジスタ1、2、6よりも十分大きな抵抗を持つとする。このときには、この液晶用高電位VDDから液晶用低電位VEEに流れる電流IBは、抵抗Raによって略決定される。これにより、P型MOSトランジスタ1における下流側(電圧VP側)のノードは電流IBが流れるような電圧VPとなる。これにより、N型MOSトランジスタ2は電流IBが流れるようなノード電圧VNを発生する。P型MOSトランジスタ1のMOS型トランジスタ能力値W/Lが仮に1であるとする。一方、演算増幅器104におけるP型MOSトランジスタ30と35はカレントミラーを構成している。P型MOSトランジスタ30、35のMOS型トランジスタ能力



値 $W/L$ が、それぞれ、P型MOSトランジスタ1の1倍及び100倍であるとする。P型MOSトランジスタ30には電流IBと同じ電流が流れ、P型MOSトランジスタ35には電流IBの100倍の電流が流れることになる。

【0050】一方、コントロール信号CNTLがLレベルのときを考える。このときには、N型MOSトランジスタ6がオフする。これにより、抵抗Raと抵抗Rbが直列となって電流が減少する。仮に、この場合に電流IBが、トランジスタ6がオンとしたときの10分の1に低減したとする。P型MOSトランジスタ30とP型MOSトランジスタ35に流れる電流も同様に10分の1に減少する。

【0051】以上のように構成したので、出力部102中の外部接続端子101に接続されるセグメント/COMMON容量性負荷CSへの出力電位が十分なレベルに達した後に、コントロール信号CNTLを制御することによって、演算増幅器104における消費電流の平均値を削減することができる。

【0052】なお、以上のような動作は、図6における、演算増幅器104に代えて図26のNトップ型の回路104を用い、図6のVNと図26のVNとを接続した場合も同様である。この場合には、上述の説明におけるトランジスタ1、30、35が、トランジスタ2、70、75にそれぞれ対応することになる。

【0053】図8は、図6の演算増幅器用基準電源回路106の第2の例を示す。図8からも明らかなように、図7のN型MOSトランジスタ6の代わりに、トランスファークラーク46を用いている。コントロール信号CNTLをインバータ5を介してトランスファークラーク46に与えるようにしている。動作は図7と同様である。

【0054】図9は、図6の演算増幅器用基準電源回路106の第3の例を示す。図9からも明らかなように、N型MOSトランジスタ6と抵抗Raの直列回路と、N型MOSトランジスタ7と抵抗Rbとの直列回路と、ノードN3とN4の間に並列に接続している。コントロール信号CNTLを、N型MOSトランジスタ6のゲートに直接加え、N型MOSトランジスタ7のゲートにインバータ5を介して与えるようにしている。

【0055】図9において、コントロール信号CNTLがHレベルの場合は、N型MOSトランジスタ6がオンとなる。ノードN3とN4の間はほぼ抵抗Raのみとなる。コントロール信号CNTLがLレベルの場合は、N型MOSトランジスタ7がオンとなる。ノードN3とN4の間はほぼ抵抗Rbのみとなる。その結果、抵抗RbがRaより大きい抵抗値を持つとすると、図7の場合と同様に、ノードN3とN4の間を流れる電流電流IBを制御することができる。

【0056】図10は、図6の演算増幅器用基準電源回路106の第4の例を示す。図10からも明らかなよう

に、P型MOSトランジスタ47、48の並列回路がノードN3とN4の間に接続されている。P型MOSトランジスタ47のゲートにはコントロール信号CNTLが加えられ、P型MOSトランジスタ48のゲートにはインバータ5を介して反転のコントロール信号NCNTLが入力される。

【0057】以上の図10において、コントロール信号CNTLのレベルH、Lに応じてP型MOSトランジスタ47、48の一方がオンし、他方がオフする。つまり、ノードN3、N4間のトランジスタ抵抗値が変化するので、図7の場合と同様に、電流IBを制御することができる。

【0058】図11は、図6の演算増幅器用基準電源回路106の第5の例を示す。図11からも明らかなように、この構成は図9の構成の変形例である。ノードN3には抵抗Raの一端が接続され、抵抗Raの他端には抵抗RC、RD、REが並列に接続される。抵抗RC、RD、REにはそれぞれ直列にN型MOSトランジスタTC、TD、TEの一端側が接続されている。トランジスタTC、TD、TEの他端側は並列にノードN4に接続されている。N型MOSトランジスタTC、TD、TEの各ゲートには選択信号SC、SD、SEが与えられる。これにより、トランジスタTC、TD、TEのうちの任意のものをオンさせることができる。

【0059】以上の図11においては、選択信号SC、SD、SEの適宜組み合わせにより各トランジスタTC、TD、TEのオン、オフを決定できる。これにより、ノードN3とN4の間の抵抗値を変化させることができる。これにより、電流IBを変えることができる。その結果、図7の場合と同様の動作を、よりきめ細かな制御状態で行わせることができる。

【0060】図12は、図5の基準電源回路106の第2の例を示す。同図12に示すように、演算増幅器用基準電源回路106においては、抵抗可変回路107に直列にP型MOSトランジスタ8が接続され、そのゲートには反転イネーブル信号Nenableが入力される。また、P型MOSトランジスタ9が液晶用高電位VDDと電圧VPの間に接続されている。このトランジスタ9のゲートには反転イネーブル信号Nenableが入力されている。反転イネーブル信号Nenableがゲート入力されるN型MOSトランジスタ10が、電圧VNと液晶用低電位VEEとの間に接続されている。イネーブル信号enableをゲート入力されるP型MOSトランジスタ40が、P型MOSトランジスタ35に並列に接続されている。反転イネーブル信号Nenableがゲート入力されるN型MOSトランジスタ39が、N型MOSトランジスタ33に並列に接続されている。図12において、図6と同等の要素には同一の符号を付している。

【0061】以上の図12において、イネーブル信号E



enableがHレベルの場合（反転イネーブル信号NenableがLレベルの場合）はトランジスタ8がオン状態にあり、トランジスタ9、10、40、39がオフ状態である。このため、図12の回路は、図6の回路とほぼ等価な回路となりそれと同様の動作を行なう。

【0062】これに対して、イネーブル信号enableがLレベルのとき（反転イネーブル信号NenableがHレベルのとき）はトランジスタ8がオフ状態となり、トランジスタ9、10、39、40がオンする。この場合には、P型MOSトランジスタ8によって、液晶用高電位VDDと液晶用低電位VEEとの間に流れる電流がカットされる。P型MOSトランジスタ35のゲートには、P型MOSトランジスタ9を通じて、液晶用高電位VDDが供給され、P型MOSトランジスタ35はオフする。トランジスタ39のオン等によってN型MOSトランジスタ36もオフとなる。これにより、液晶用高電位VDDから液晶用低電位VEEに流れる電流がカットされる。ところが、このままでは出力電圧V5'がフローティングとなってしまう、液晶パネルの誤点灯やにじみの原因となってしまうので、液晶パネル等の非使用時はP型MOSトランジスタ40により出力電圧V5'を液晶用高電位VDDレベルに引上げておく。

【0063】以上のように、イネーブル信号enableを適用することにより動作を可能、否可能の間で選択することが可能である。なお、演算増幅器用基準電源回路106の電圧VNは図26のようなNトップ型の演算増幅器104に接続される。この場合も、イネーブル信号enableや反転イネーブル信号Nenableを、図12に用いたトランジスタ8、9、10、40、39等と同様に機能するトランジスタと共に適用することにより、上記と同様の機能を得ることができる。

【0064】図13は、図5の基準電源回路106の第3の例を示す回路図である。同図13に示すように、基準電源回路106のP型MOSトランジスタ1に、P型MOSトランジスタ21と22の直列回路が並列接続されている。トランジスタ2には、N型MOSトランジスタ23と24の直列回路が並列に接続されている。P型MOSトランジスタ22のゲートはそのドレインに接続され、N型MOSトランジスタ23のドレインはそのゲートに接続されている。P型MOSトランジスタ21のソースは液晶用高電位VDDに、ドレインはP型MOSトランジスタ22のソースに、ゲートはコントロール信号CNTLにそれぞれ接続されている。また、N型MOSトランジスタ24のソースは液晶用低電位VEEに、ドレインはN型MOSトランジスタ23のソースに、ゲートはインバータ25を介してコントロール信号CNTLにそれぞれ接続されている。P型MOSトランジスタ1のドレインとN型MOSトランジスタ2のドレインとの間には抵抗Ra'が接続される。

【0065】以上の図13において、コントロール信号

CNTLがHレベルの場合はトランジスタ21、24は共にオフする。このため高電位VDDから低電位VEEに流れる電流は、トランジスタ1と抵抗Ra'とトランジスタ2で決定される。抵抗Ra'には電流IB'が流れる。また、演算増幅器104において、トランジスタ30、35のカレントミラー比がP型MOSトランジスタ1に対してそれぞれ1倍、100倍であるとする。P型MOSトランジスタ1には電流IB'なる電流が流れている。このため、トランジスタ30には電流IB'が、トランジスタ35には電流IB' X 100の電流が流れる。

【0066】これに対して、コントロール信号CNTLがLレベルになると次のように動作する。即ち、トランジスタ21、24がオンする。これにより、トランジスタ1にはトランジスタ21、22の直列回路が並列に入り、トランジスタ2にはトランジスタ23、24の直列回路が並列に入る。ここで、各トランジスタのオン抵抗が抵抗Ra'よりも非常に小さく、そのため抵抗Ra'に流れる電流はほとんど変わることなく電流IB'であるとする。さらに、P型MOSトランジスタ21、22のMOS型トランジスタ能力値W/Lが、P型MOSトランジスタ1のN倍に設定してあるとする。このとき、トランジスタ21、22、1の合計のトランジスタ能力値W/LはN+1倍となり、これらのトランジスタとカレントミラーをなすトランジスタ30と35の流し出し電流は1/(N+1)倍に減少する。つまり、コントロール信号CNTLにより演算増幅器104での電流の平均値を低減することができる。

【0067】なお、演算増幅器用基準電源回路106の電圧VNに接続される演算増幅器104が図26のようなNトップ型の場合も、上記と同様に、N型MOSトランジスタ70、75に流れる電流が制御され消費電流を低減することができる。

【0068】図14は図5の基準電源回路106の第4の例を示すものである。図14に示すように、トランジスタ1には、トランスファークゲート27によって、P型MOSトランジスタ26が並列に接続切離し可能にされている。N型MOSトランジスタ2には、トランスファークゲート29によって、N型MOSトランジスタ28が並列に接続切離し可能にされている。トランスファークゲート27と29には、コントロール信号CNTLとこれをインバータ25で反転した信号が入力されている。コントロール信号CNTLがHレベルの場合、トランスファークゲート27、29はオフとされる。コントロール信号CNTLがLレベルの場合、トランスファークゲート27、29はオンとされる。

【0069】図14の回路の動作は図13の回路と略同様である。即ち、P型MOSトランジスタ26、N型MOSトランジスタ28のMOS型トランジスタ能力値W/Lを適宜設定することで、図13とほぼ同様の作用、

効果が得られる。

【0070】以上のようなトランジスタのMOS型トランジスタ能力値 $W/L$ を可変とする構成は、図7、8、9、11に示すような抵抗を選択可変する構成よりも、半導体集積回路のチップ面積を小さくすることができる。つまり、半導体で高い抵抗値を作るには大きな面積を必要とする。しかし、トランジスタによる比だけで電流値制御する場合、トランジスタの面積は小さく済み、チップ面積に与える影響が少ない。

【0071】図15は、図5の基準電源回路106の第5の例を示す。図15に示すように、基準電源回路106のトランジスタ1には、トランジスタ21と22の直列回路と、トランジスタ80、81の直列回路とがそれぞれ並列接続されている。トランジスタ2には、トランジスタ23と24の直列回路と、トランジスタ83、84の直列回路とがそれぞれ並列接続されている。トランジスタ22のゲートはそのドレインに接続され、トランジスタ23のドレインはそのゲートに接続されている。一方、トランジスタ21のソースは液晶用高電位VDDに、ドレインはP型MOSトランジスタ22のソースに、ゲートは選択信号SGにそれぞれ接続されている。トランジスタ81のゲートはそのドレインに接続され、トランジスタ83のドレインはそのゲートに接続されている。一方、トランジスタ80のソースは液晶用高電位VDDに、ドレインはトランジスタ81のソースに、ゲートは選択信号SFにそれぞれ接続されている。また、トランジスタ24のソースは液晶用低電位VEEに、ドレインはN型MOSトランジスタ23のソースに、ゲートはインバータ25を介して選択信号SGにそれぞれ接続されている。また、トランジスタ84のソースは液晶用低電位VEEに、ドレインはトランジスタ83のソースに、ゲートはインバータ82を介して選択信号SFにそれぞれ接続されている。また、トランジスタ1のドレインとトランジスタ2のドレインの間には抵抗 $R_{a'}$ が接続されている。

【0072】以上の図15によれば、図13の構成の場合よりも、演算増幅器104に流れる電流を選択信号SF、SGにより更に細かく制御することができる。これにより外部に接続される液晶パネルの容量（負荷容量）に対する駆動能力を調整するうえで好適な構成とすることができる。

【0073】図16は、図5の基準電源回路106の第6の例を示す。図16に示すように、P型MOSトランジスタ90はトランジスタ1と並列に電圧VPに接続されている。N型MOSトランジスタ92はN型MOSトランジスタ2と並列に電圧VNに接続される。トランジスタ90のゲートは、トランスファークロッシング91を介して電圧VPに接続されると共に、P型MOSトランジスタ94を介して液晶用高電位VDDに接続されている。N型MOSトランジスタ92のゲートは、トランスファ

ークロッシング93を介して電圧VNに接続されると共に、N型MOSトランジスタ95を介して液晶用低電位VEEに接続されている。トランスファークロッシング91、93には、コントロール信号CNTLおよびインバータ96によって得られるコントロール信号CNTLの反転信号が入力される。また、P型MOSトランジスタ94のゲートには、インバータ96からコントロール信号CNTLの反転信号が入力される。N型MOSトランジスタ95のゲートには、コントロール信号CNTLが入力される。

【0074】以上の図16において、トランジスタ90、92のゲート入力端は、コントロール信号CNTLがLレベルの時にトランスファークロッシング91、93が共にオンすることから、それぞれ電圧VP、VNに接続される。一方、コントロール信号CNTLがHレベルの時には、P型MOSトランジスタ90のゲートをP型MOSトランジスタ94を介して液晶用高電位VDDに固定すると共に、N型MOSトランジスタ92のゲートをN型MOSトランジスタ95を介して液晶用低電位VEEに固定する。これにより、トランスファークロッシング91、93がオフした時に、P型MOSトランジスタ90とN型MOSトランジスタ92がフローティングとなってオンしないようにしている。そして、P型MOSトランジスタ90とN型MOSトランジスタ92は、同種のP型MOSトランジスタ1とN型MOSトランジスタ2に対して、サイズおよびMOS型トランジスタ能力値 $W/L$ を容易に設定できる。このため、P型MOSトランジスタ90のMOS型トランジスタ能力値 $W/L$ を、P型MOSトランジスタ1の4倍にするとときには、P型MOSトランジスタ90の代わりにP型MOSトランジスタ1と同様のトランジスタを4個並列に配置するか、もしくはL（チャンネル長）を一定にし、W（チャンネル幅）を4倍にすれば、容易に4倍のMOS型トランジスタ能力値 $W/L$ を実現できる。

【0075】以上の図16によれば、図13におけるトランジスタ21、22のオン抵抗や、図14におけるトランスファークロッシング27、29等の影響を考慮することなく、MOS型トランジスタ能力値 $W/L$ をコントロールできる。このため、消費電流の設定やトランジスタの設計を行なう上で、非常に簡単で確実である。

【0076】図17は図5における基準電源回路106の第7の例を示すものである。図17に示すように、図16の抵抗 $R_{a'}$ の代わりに図6で示した抵抗可変回路107を用いたものである。抵抗可変回路107としては図7～図11に示したものが適用可能である。

【0077】図17の構成によっても、同様に、演算増幅器104の電流をコントロール信号CNTLにより制御可能であり、結果として消費電流を低減することができる。

【0078】なお、図17と同様に、図13、図14、

図15の構成における抵抗 $R_{a'}$ の代わりに、図7～図11に示すような構成の抵抗可変回路107を適用しても同様の効果を得ることができる。

【0079】図18は図5の基準電源回路106の第8の例を示す回路構成図である。電圧 $V_P$ と電圧 $V_N$ の出力部に、それぞれ、コンデンサ $C_{PP}$ とコンデンサ $C_{NN}$ を接続した構成を例示する。

【0080】図5において、演算増幅器104の能力を、つまり消費電流をコントロール信号 $CNTL$ によって切り替えたとする。このようにすると、図19に示すような演算増幅器104では、入力される電圧 $V_1$ は一定であっても、図20(A)に示すようにコントロール信号 $CNTL$ の切り替え時に、図20(B)に示すように出力電圧 $V_1'$ に若干の変動をきたす。この変動は演算増幅器104の能力等によってまちまちであるが、定まった一定の電位を作り出す演算増幅器としての能力としては好ましくない。特に、コントロール信号 $CNTL$ がLレベルになった時にでるノイズは、演算増幅器の能力が小さくなっていることと相俟って、コントロール信号 $CNTL$ がHレベルになった時のノイズに比較して、減衰に多少の時間を要する。この原因は、コントロール信号 $CNTL$ によって基準電源回路106の中の抵抗が急に変化するため、抵抗を流れる電流が変わり、そのために演算増幅器用基準電源回路106の出力である電圧 $V_P$ や電圧 $V_N$ も急激に変動し、演算増幅器104の中の比較部がこの変動に追従できないためである。したがって、図18に示すように、電圧 $V_P$ と電圧 $V_N$ にそれぞれコンデンサ $C_{PP}$ や $C_{NN}$ を接続することにより、電圧 $V_P$ 、 $V_N$ を緩やかに変動させ、その電位変動に対しても演算増幅器104が追従できるようにすれば、演算増幅器104の出力のノイズを低減し、入力に対応した確実な出力を得ることができる。

【0081】図21は、図1の演算増幅器104の他の例を示す。図21において、演算増幅器104は動作停止機能を有するものである。電圧 $V_5$ をトランスファークロップ111を通じて電圧 $V_5'$ に接続している。コントロール信号 $CNTL$ は、トランスファークロップ111に直接与えられると共に、インバータ112を介してノード113に与えられる。インバータ112の出力であるノード113の電位によって、演算増幅器104の動作が停止させられる。

【0082】図2、図3では演算増幅器104の能力をコントロール信号 $CNTL$ で切り替える構成を例示した。一般に、演算増幅器104としては、出力電圧の変わり目において、セグメント/コモン容量性負荷 $C_S$ に対する大きな電流供給能力を必要とする。このため、図21においては、コントロール信号 $CNTL$ をHレベルにして演算増幅器104を動作状態にし、分圧回路105からの電圧 $V_5$ をインピーダンス変換し、 $V_5'$ として電源配線103に供給する。出力電圧を保持

すればよいだけの場合は、コントロール信号 $CNTL$ をLレベルにして、演算増幅器104の動作を停止させると共に、トランスファークロップ111をオンし、電圧 $V_5$ をそのまま出力電圧 $V_5'$ として出力させ、消費電力の低減を行なう。

【0083】なお、演算増幅器104が具体的に図2、図3の構成をとる場合において、その動作を停止させるには、次のようにする。即ち、図21におけるノード113のレベルがHレベルの時に、P型MOSトランジスタ35、38(図2)及びN型MOSトランジスタ36(図2)を確実にオフさせるか、またはN型MOSトランジスタ75、78(図3)またはP型MOSトランジスタ76(図3)を確実にオフさせればよい。つまり、基本的には図12の構成のP型MOSトランジスタ40を除去し $Enable$ に $CNTL$ 信号を、 $Nenable$ にノード113信号を入力した構成となる。

【0084】なお、図のように演算増幅器バイアス $OP-Bias$ や演算増幅器バイアス $OP-Bias'$ を供給する回路をも、液晶用高電位 $VDD$ から液晶用低電位 $VEE$ に電流が流れないように制御すれば、より消費電力の低減を計ることができる。

【0085】時計等の液晶表示を行なうための水晶発振器やセラロック等の発振器を持つ装置は、32.768 KHzの基準発振源を持つ。このため、コントロール信号 $CNTL$ はこの発振源から作り出すことができる。一方、図22のブロック図に示すように、各実施例で示した液晶表示用電源回路114が、CPU115と共に半導体集積回路116に組み込まれる場合には、CPU115からコントロール信号 $CNTL$ の供給を受けるようにしてもよい。この場合、CPU115に使われるクロック信号を分周して用いても、CPU115に内蔵されるプリスケラ等を用いて発生させるようにしてもよい。

【0086】なお、上に示した各機能部の構成例は代表的な例を示すものであり、それぞれの機能を組み合わせることで相互補完的に機能を果たせるようにすることが可能であり、本発明の範囲内で各種の組み合わせが可能である。

【0087】

【発明の効果】以上述べたように、本発明によれば液晶パネルに供給する電圧を変化させるに当たり、電圧の変化時点においては電流駆動能力を高めることにより高い精度の電圧供給と早い応答性を実現し、電圧確定後は電流駆動能力を制限することにより消費電流の低減を計ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る液晶駆動用電源装置の回路構成図である。

【図2】図1の演算増幅器の例を示す回路構成図である。

【図3】図1の演算増幅器の他の例を示す回路構成図である。

【図4】図1の構成の動作を説明するためのタイミングチャートである。

【図5】本発明の他の実施例に係る液晶駆動用電源装置の回路構成図である。

【図6】図5の構成における演算増幅器用基準電源回路の第1の例を示す回路構成図である。

【図7】図6の107における抵抗可変回路の第1の例を示す回路構成図である。

【図8】図6の107における抵抗可変回路の第2の例を示す回路構成図である。

【図9】図6の107における抵抗可変回路の第3の例を示す回路構成図である。

【図10】図6の107における抵抗可変回路の第4の例を示す回路構成図である。

【図11】図6の107における抵抗可変回路の第5の例を示す回路構成図である。

【図12】図5の構成における演算増幅器用基準電源回路の第2の例を示す回路構成図である。

【図13】図5の構成における演算増幅器用基準電源回路の第3の例を示す回路構成図である。

【図14】図5の構成における演算増幅器用基準電源回路の第4の例を示す回路構成図である。

【図15】図5の構成における演算増幅器用基準電源回路の第5の例を示す回路構成図である。

【図16】図5の構成における演算増幅器用基準電源回路の第6の例を示す回路構成図である。

【図17】図5の構成における演算増幅器用基準電源回路の第7の例を示す回路構成図である。

【図18】図5の構成における演算増幅器用基準電源回路の第8の例を示す回路構成図である。

【図19】電流供給能力を変化させた演算増幅器の説明図である。

【図20】図19の動作を説明する波形図である。

【図21】図2、3に示した演算増幅器の他の例を示す回路ブロック図である。

【図22】コントロール信号の供給方法を説明するブロック図である。

【図23】従来の液晶駆動用電源装置の回路構成図である。

【図24】図23における演算増幅器用基準電源回路の例を示す回路構成図である。

【図25】図23における演算増幅器の構成の例を示す回路構成図である。

【図26】図23における演算増幅器の構成の他の例を示す回路構成図である。

【図27】図23の構成の動作を説明するタイミングチャートである。

【符号の説明】

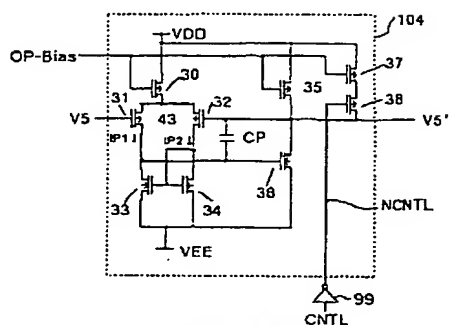
- |    |             |
|----|-------------|
| 1  | P型MOSトランジスタ |
| 2  | N型MOSトランジスタ |
| 5  | インバータ       |
| 6  | N型MOSトランジスタ |
| 7  | N型MOSトランジスタ |
| 8  | P型MOSトランジスタ |
| 9  | P型MOSトランジスタ |
| 10 | N型MOSトランジスタ |
| 21 | P型MOSトランジスタ |
| 22 | P型MOSトランジスタ |
| 23 | N型MOSトランジスタ |
| 24 | N型MOSトランジスタ |
| 25 | インバータ       |
| 26 | P型MOSトランジスタ |
| 27 | トランスファークロ   |
| 28 | N型MOSトランジスタ |
| 29 | トランスファークロ   |
| 30 | P型MOSトランジスタ |
| 31 | P型MOSトランジスタ |
| 32 | P型MOSトランジスタ |
| 33 | N型MOSトランジスタ |
| 34 | N型MOSトランジスタ |
| 35 | P型MOSトランジスタ |
| 36 | N型MOSトランジスタ |
| 37 | P型MOSトランジスタ |
| 38 | P型MOSトランジスタ |
| 39 | N型MOSトランジスタ |
| 40 | P型MOSトランジスタ |
| 46 | トランスファークロ   |
| 47 | P型MOSトランジスタ |
| 48 | P型MOSトランジスタ |
| 70 | N型MOSトランジスタ |
| 71 | N型MOSトランジスタ |
| 72 | N型MOSトランジスタ |
| 73 | P型MOSトランジスタ |
| 74 | P型MOSトランジスタ |
| 75 | N型MOSトランジスタ |
| 76 | P型MOSトランジスタ |
| 77 | N型MOSトランジスタ |
| 78 | N型MOSトランジスタ |
| 80 | P型MOSトランジスタ |
| 81 | P型MOSトランジスタ |
| 82 | インバータ       |
| 83 | N型MOSトランジスタ |
| 84 | N型MOSトランジスタ |
| 91 | トランスファークロ   |
| 92 | N型MOSトランジスタ |
| 93 | トランスファークロ   |
| 94 | P型MOSトランジスタ |
| 95 | N型MOSトランジスタ |

- 96 インバータ
- 100 駆動回路
- 101 外部接続端子
- 102 出力部
- 103 電源配線
- 104 演算増幅器
- 105 分圧回路
- 106 演算増幅器用基準電源回路
- 107 抵抗可変回路
- 108 トランスファergeート
- 109 演算増幅器回路
- 111 トランスファergeート
- 112 インバータ
- 113 ノード
- 114 液晶表示用電源回路
- 115 CPU
- 116 半導体集積回路
- CS セグメント/コモン容量性負荷
- VDD 液晶用高電位
- VEE 液晶用低電位

- C1 コンデンサ
- C2 コンデンサ
- C3 コンデンサ
- C4 コンデンサ
- C5 コンデンサ
- CP コンデンサ
- CN コンデンサ
- CPP コンデンサ
- CNN コンデンサ
- 10 Ra 抵抗
- Rb 抵抗
- RC 抵抗
- RD 抵抗
- RE 抵抗
- TC トランジスタ
- TD トランジスタ
- TE トランジスタ
- Ra' 抵抗
- RA 抵抗

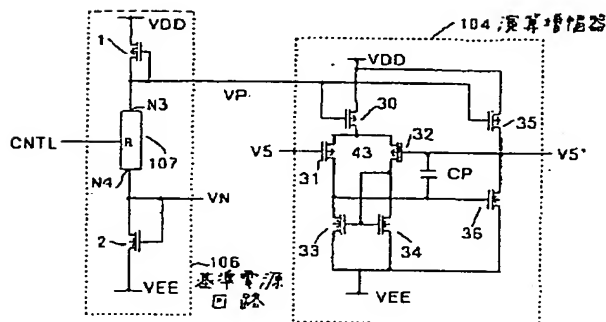
20

【図2】



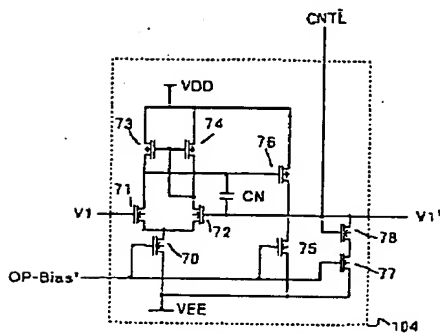
演算増幅器の例

【図6】



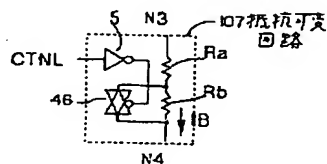
基準電源回路の第1の例

【図3】

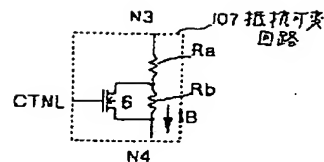


演算増幅器の他の例

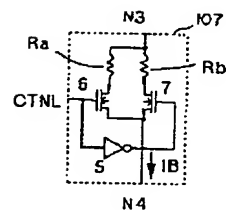
【図8】



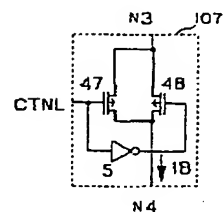
【図7】



【図9】



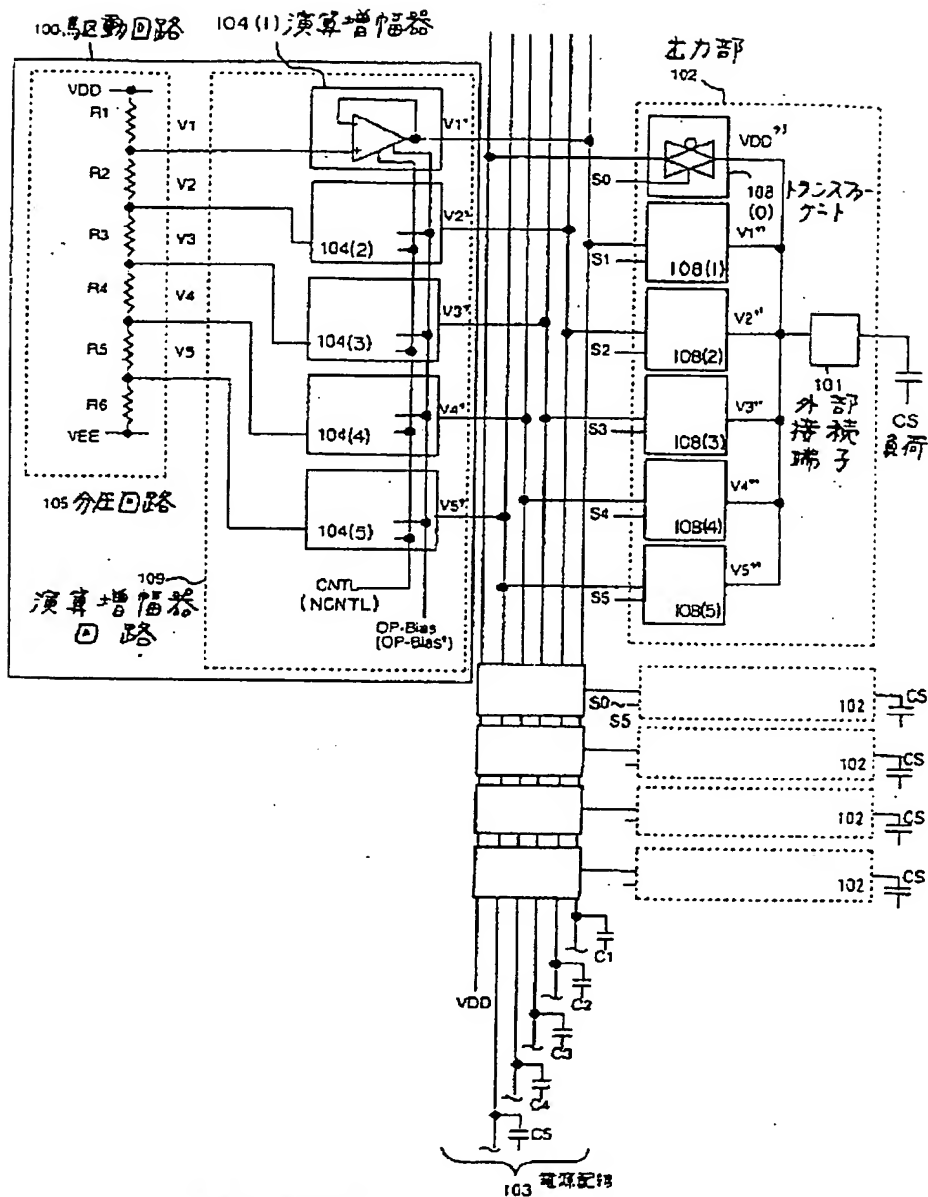
【図10】



【図1】

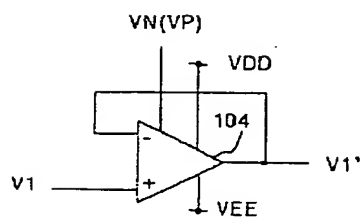
【図11】

BEST AVAILABLE COPY



第1実施例

【図19】

演算増幅器の  
説明図

【図20】

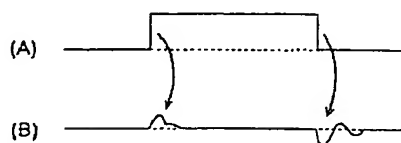
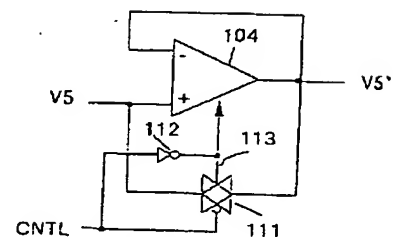
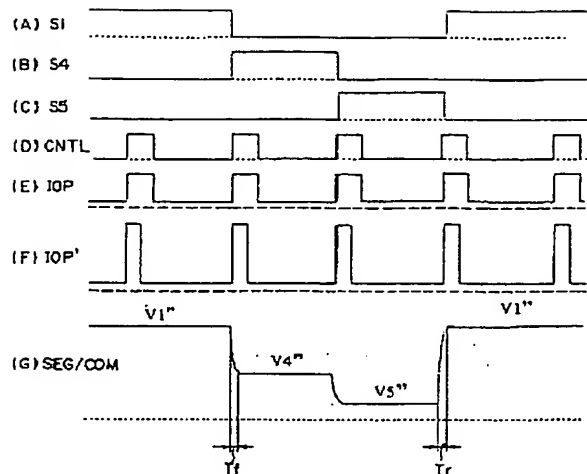


図19の動作波形図

【図21】

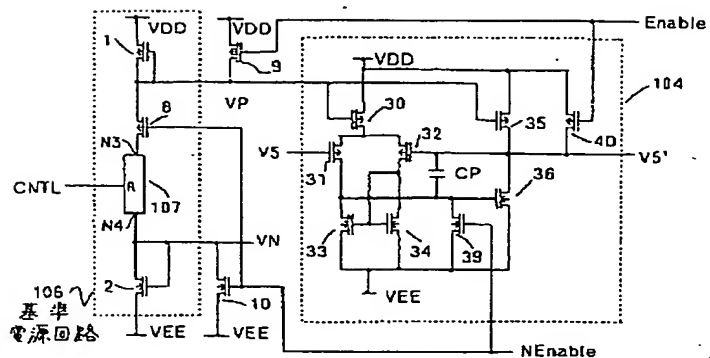
演算増幅器の  
他の例の説明図

【図4】



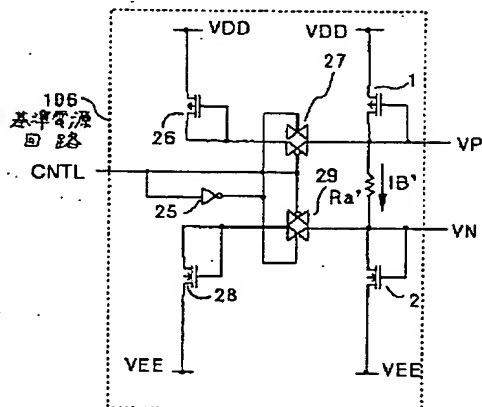
本発明図1の動作説明タイミングチャート

【図12】



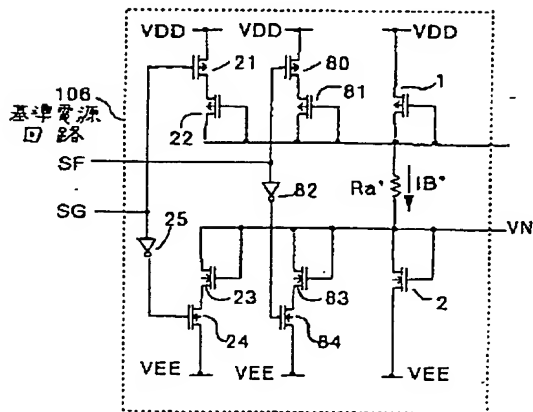
基準電源回路の第2の例

【図14】



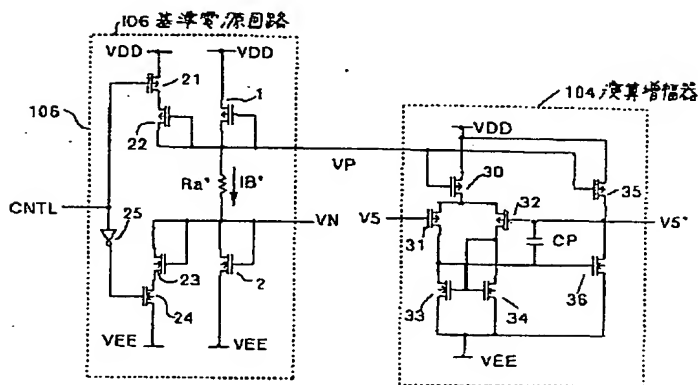
基準電源回路の第4の例

【図15】



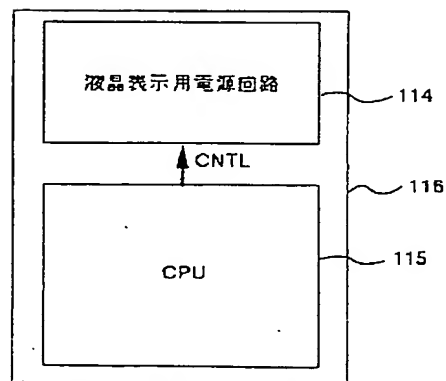
基準電源回路の第5の例

【図13】



基準電源回路の第3の例

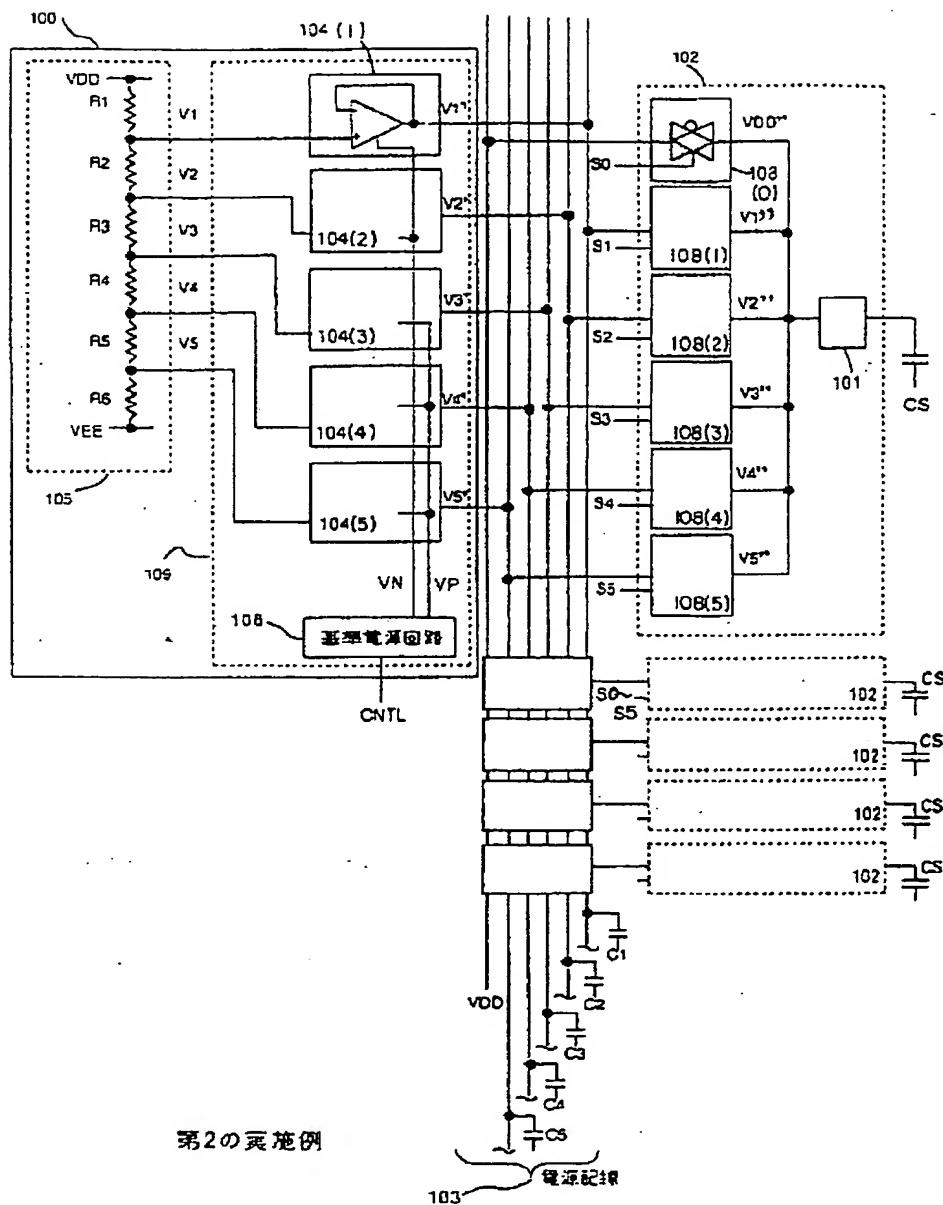
【図22】



コントロール信号の供給方法の説明図

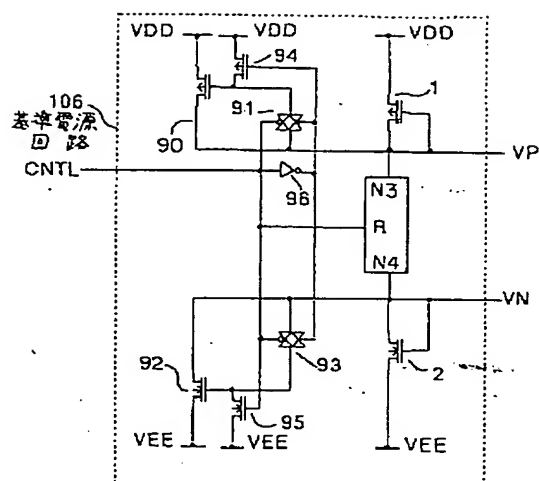


【図5】



第2の実施例

【图 17】



### 基準電源回路の第7の例

【图 2 4】

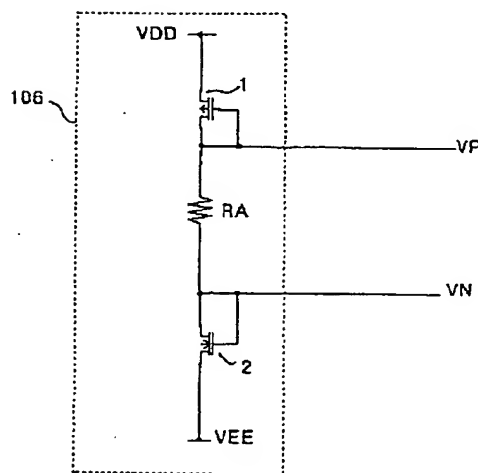
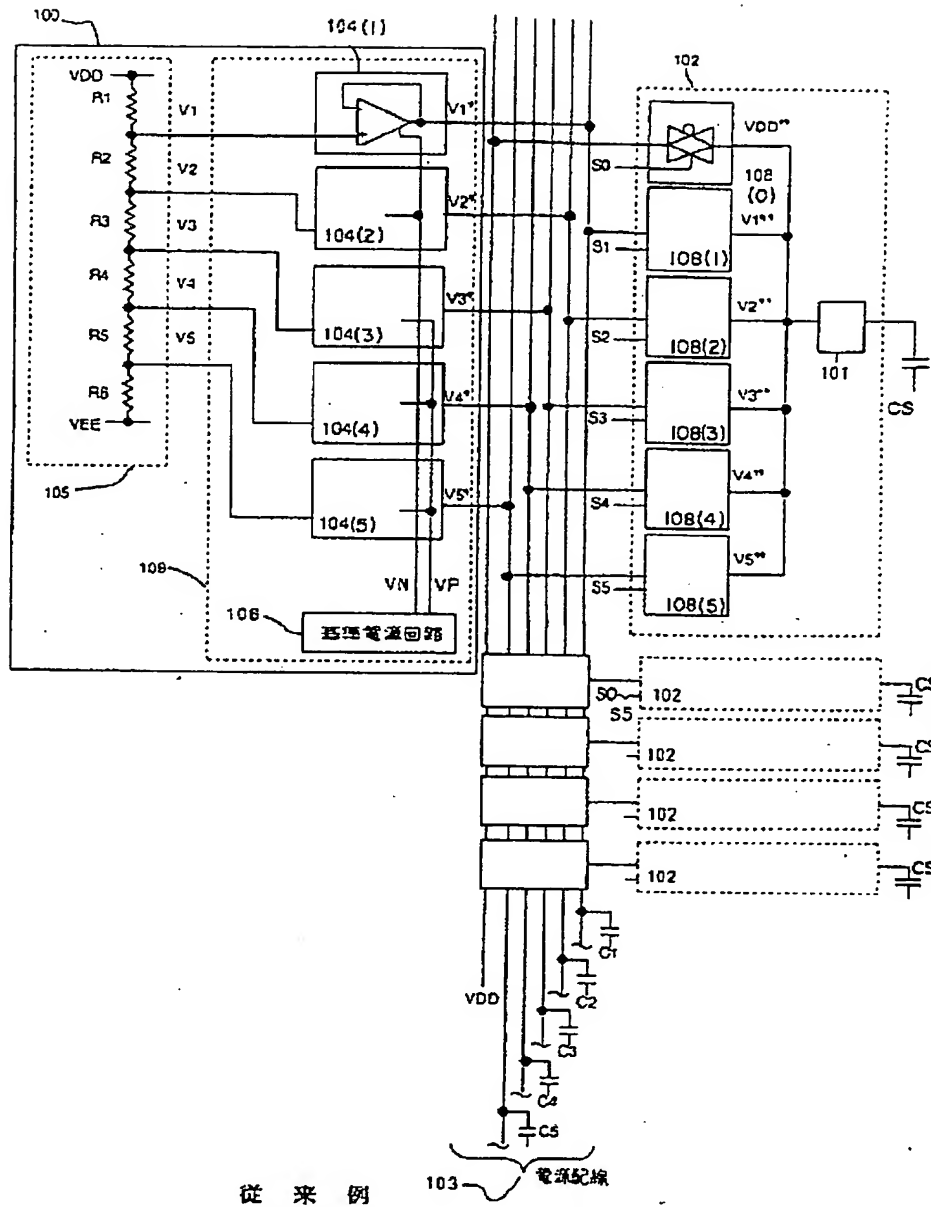


図23における  
基準電源回路例

従来例の演算増幅器の例

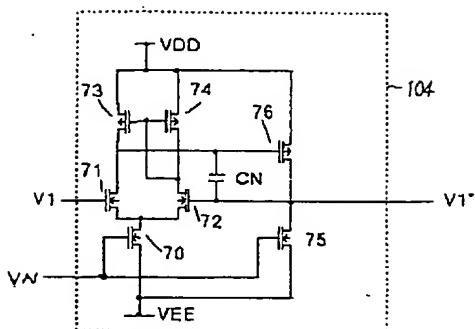
### 從采例の演算増幅器の例

【図23】



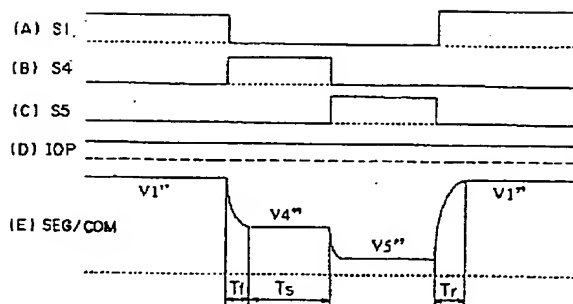
従来例

【図 26】



従来例の演算増幅器の他の例

【図 27】



従来構成の動作説明タイミングチャート

【手続補正書】

【提出日】平成 4 年 4 月 10 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】図 26 は、図 23 における演算増幅器 104 の他の例を示す回路図であり、特に N トップ型の回路を例示するものである。同図に示すように、電圧 VN は、N 型 MOS トランジスタ 70 のゲートと N 型 MOS トランジスタ 75 のゲートに供給される。電圧 V1 は N 型 MOS トランジスタ 71 のゲートに供給される。N 型 MOS トランジスタ 70、75 のソースは液晶用低電位 VEE に接続される。N 型 MOS トランジスタ 70 のドレインは N 型 MOS トランジスタ 71、72 のソースに接続される。P 型 MOS トランジスタ 73、74、76 のソースは液晶用高電位 VDD に接続される。P 型 MOS トランジスタ 73、74 のゲートは、共通接続され、N 型 MOS トランジスタ 72 のドレインと P 型 MOS トランジスタ 74 のドレインの接続点に接続される。N 型 MOS トランジスタ 71 のドレインと P 型 MOS トランジスタ 73 のドレインが接続され、その接続点は P 型 MOS トランジスタ 76 のゲートに接続される。N 型 MOS トランジスタ 75 のドレインと P 型 MOS トランジスタ 76 のドレインは接続され、その接続点からは出力電圧 V1' が出力される。この出力電圧 V1' は、N 型 MOS トランジスタ 72 のゲートにフィードバックされる。N 型 MOS トランジスタ 72 のゲートと P 型 MOS トランジスタ 76 のゲートの間にはこの演算増幅器の発振防止用の為の位相保障用としてコンデンサ CN が接続される。

【手続補正 2】

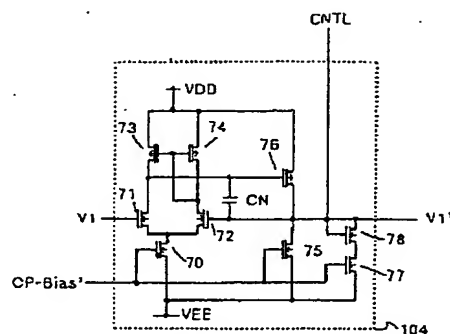
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正内容】

【図 3】



演算増幅器の他の例

【手続補正 3】

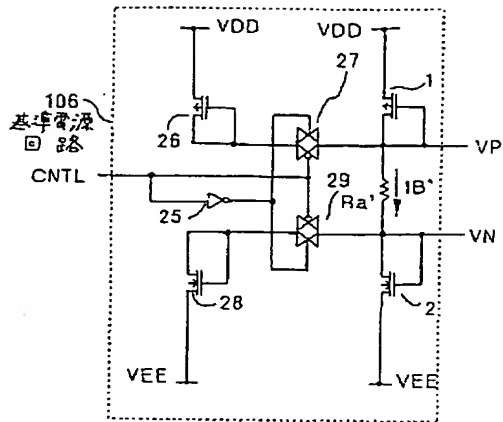
【補正対象書類名】図面

【補正対象項目名】図 14

【補正方法】変更

【補正内容】

【図 14】



基準電源回路の第4の例